

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100964

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 29/78

(21)Application number : 10-265408

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 18.09.1998

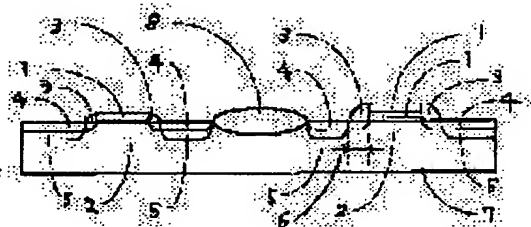
(72)Inventor : INABA SHOGO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To change the length of a sidewall for the kind of a transistor, and make it the length of offset fit for each transistor so as to prevent the characteristics change of the transistor caused by hot carriers, by varying the length of the sidewall, according to the thickness of the gate electrode.

**SOLUTION:** Making the thickness of the gate electrode 1 of a right transistor larger than that of a left transistor, and elongating the sidewall 3, too, elongates the length 6 of offset, too. This way, for the kind of the transistor, the thickness of the gate electrode 1 is changed, and the length of the sidewall 3 is changed, making use of the difference of etching rate, and the length 6 of offset can be made different. Accordingly, a transistor of long offset and a transistor of short offset can be made within the same semiconductor substrate. Accordingly, the yield of the semiconductor element can be raised, suppressing the occurrence of hot carriers, without incurring a drop of current characteristics.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-100964

(P2000-100964A)

(43) 公開日 平成12年4月7日 (2000. 4. 7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\* (参考)

H 0 1 L 21/8234

H 0 1 L 27/08

1 0 2 B 5 F 0 4 0

27/088

29/78

3 0 1 S 5 F 0 4 8

29/78

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21) 出願番号

特願平10-265408

(22) 出願日

平成10年9月18日 (1998. 9. 18)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 稲葉 正吾

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

Fターム (参考) 5F040 DA17 DB03 DC01 EC07 ED09

EE05 EF02 EK01 FA05 FA12

FB02 FC09

5F048 AA07 AC03 BA01 BB05 BB16

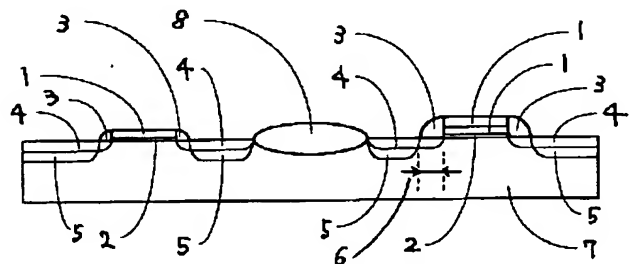
BC06 BC18 BD04 BG12 DA25

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 LDD構造のMOS型トランジスタにおいて、オフセットの長さが異なるトランジスタを作り分ける事によってホットキャリアを重点的に減少させたいトランジスタとそれほどでないトランジスタを作り分ける。

【解決手段】 本発明の半導体装置は、ゲート電極膜厚を変化させることにより、サイドウォールの長さをトランジスタの種類毎に変え、オフセット長を調節しホットキャリアの発生を低下させる。



【特許請求の範囲】

【請求項 1】単ードレイン構造でない MOS 型トランジスタにおいて、そのオフセット長が異なるトランジスタが同一基板内に存在する事を特徴とする半導体装置。

【請求項 2】サイドウォールを有する MOS 型トランジスタにおいて、サイドウォールの長さが異なったトランジスタが同じ基板内に存在する事を特徴とする半導体装置。

【請求項 3】MOS 型トランジスタにおいて、そのゲート電極の膜厚が異なるトランジスタが同一基板内に存在する事を特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関するものであり、更に詳しくは MOS 型半導体装置に関するものであり、特にホットキャリアにより半導体装置の特性が変化するのを防ぐ又は緩和するための半導体装置の構造に関するものである。

【0002】

【従来の技術】電源電圧を一定のまま MOS 型トランジスタの微細化を行うと、ドレイン端領域において電界の変化がより急峻な状態となる。このためチャネル中を流れる電子は、この高電界の作用により加速される。加速された電子はドレイン端領域で衝突を起こして二次的に電子や正孔を発生しこれがホットキャリアとなる。このうち電子はゲート酸化膜に注入捕獲され、正孔は基板方向へ流れることにより、しきい値電圧の上昇やコンダクタンスの減少などが起こり半導体素子の特性変化が起こり半導体装置の寿命を短くする原因の一つとなる。

【0003】この現象を緩和するために様々な MOS トランジスタの構造が開発されてきた。その中で代表的な構造の一つとして、ドレイン端の不純物濃度を低濃度と高濃度の 2 段階に設定し、低濃度の部分において空乏層が広がりやすくなり電界強度の変化を緩やかにし、ホットキャリアの発生率を小さくする事を目的とした LDD (Lightly Doped Drain) 構造がある。図 3 に LDD 構造を示す。

【0004】図 3 において LDD 構造トランジスタを説明する。ソースとドレイン領域の不純物濃度層は低濃度不純物層 4 と高濃度不純物層 5 の 2 段階になっている構造をなす。またオフセット長 6 とは、チャネル部と高濃度不純物層 5 の間の低濃度不純物層 4 の長さを指す。この異なるイオン濃度の打ち分けはサイドウォール 3 をマスクとして打ち込む。サイドウォール 3 は通常絶縁性の材料で作られており、特に半導体製造では酸化シリコンや窒化シリコン等が一般に用いられている。このサイドウォール 3 の長さは、サイドウォールとなる材料の種類やデポ時の膜厚、又はゲート電極の膜厚によって変化する。この低濃度不純物層 4 からなるオフセットのためドレイン端で発生する空乏層がチャネル領域だけでな

く、オフセットの方にも広がる事が可能となる。そうすると空乏層は単一の不純物濃度構造のトランジスタと比べると大きく広がる。電界の変化は広がった空乏層の分だけ緩和され、チャネル部を流れるキャリアの加速が小さくなるためホットキャリアの発生がその分だけ押さえられる事になる。オフセット長 6 は短すぎる場合は、空乏層の広がり方が十分得られず意味を成さない。また作製工程の熱により高濃度不純物層 5 のイオンが横方向に拡散し、低濃度不純物層 4 を追い抜く場合があるため或程度の長さを確保する必要がある。またオフセット長 6 は長すぎると、低濃度不純物のため抵抗が大きくトランジスタの電流特性を低下させる原因となる。オフセット長 6 には適切な長さがあり、それは製造工程や要求されるトランジスタ特性等により様々である。従来の構造では、図 3 に示すように、サイドウォールはどのトランジスタでも一律の長さであり、またオフセット長 6 も一律である。

【0005】しかしながら半導体装置内に存在するトランジスタの種類増加に伴い、従来の方法ではオフセット長は一律で製造されるため各々のトランジスタに適した長さを得ることが出来ない。結局半導体装置内に 2 種類以上あるトランジスタの一つに合わせ込むという方法しか採ること出来ず一律となってしまう。

【0006】

【発明が解決しようとする課題】従来のサイドウォールを有する MOS 型トランジスタでは、オフセットの長さをトランジスタ毎に変える事ができず、一律の長さとなっていた。このためオフセットの長さをトランジスタ毎に適切に設定する事が出来ない。その長さは一種類のトランジスタに合わせ込むか、平均値をとるかという事でしか対処出来なかった。ここでオフセット長はホットキャリアを重点的に減少させたいトランジスタだけでなく、全てのトランジスタにおいて長く設定してしまうことができる。しかしこの方法を用いると高抵抗のオフセットが長くなり、その分トランジスタの抵抗が増加するという事になる。この抵抗増加分がトランジスタの電流値を減少させる。高電圧がかからず、ホットキャリアの効果が大きいトランジスタにおいてもその作用が起こり、半導体装置の電流動作特性を低下させることになる。

【0007】そこで本発明は複数種のトランジスタが存在する半導体装置において、各々のトランジスタに適したオフセットの長さを設定することを目的とする。更に各々のトランジスタに適したオフセットの長さを得る事により、ホットキャリアによりトランジスタの特性変化が起こるのを防ぐ又は緩和し、半導体装置の長寿命化、歩留まり及び信頼性の向上を目的とする。

【0008】本発明を用いると、高電圧でホットキャリアを重点的に減少させたいトランジスタには長いオフセットを、そうでないトランジスタにはそれに見合ったオ

オフセット長を使い分ける事によって電流特性低減を押さえつつホットキャリア発生を減少させ、半導体装置の信頼性を上げることができる。またトランジスタの構造自体は従来より数多く使用されているLDD構造型のトランジスタを用いるため、実績があり信頼のできる構成を使用していると言える。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明ではサイドウォールを有するMOS型トランジスタにおいて、サイドウォールの長さをゲート電極の厚さによって異なる長さにしていてる事を特徴とする。さらに前記の方法を用いてトランジスタの種類に応じてサイドウォールの長さを変化させることにより、オフセット長を異なるように作製する事を特徴とする。

【0010】

【発明の実施の形態】以下、本発明の実施の形態の一例を図面を使用しながら説明する。以下の説明は請求項1、2、3に記載の事項を包括するものである。

【0011】図面において、図1は請求項1、2、3に記載の特徴的な構造を持つLDD構造のトランジスタの断面構造である。また図2は請求項1、2、3に記載の構造のトランジスタを作製するための製造過程を断面図の形式で記述したものである。

【0012】図1は右側のトランジスタが、左側のトランジスタに比べてゲート電極の膜厚が厚くサイドウォール3が長いため、オフセット長6も長くなっているという事を示す断面図である。以下に図2に従って図1のトランジスタの製造過程を説明する。まず一枚のシリコン基板を熱酸化処理によって素子分離領域を作る。これはまず熱酸化処理によりシリコン基板上に約30nm程のシリコン酸化膜を作製する。次にこの上に化学気相法によりシリコン窒化膜を約150nmほど堆積させる。次にフォトリソグラフィ法とドライエッチング法を用いて素子分離領域となる場所のシリコン窒化膜を取り除き、シリコン酸化膜を露出させる。再び熱酸化処理法により酸化させ、露出した酸化膜部分を約500nm程まで厚くする。そしてシリコン窒化膜を取り除く事により、素子分離領域が形成される。次に最初に形成されたシリコン酸化膜10を取り除き、再び熱酸化処理法を用いて狙いのゲート酸化膜を形成する。約20nmほどであるが、トランジスタの種類により異なる。この上にしきい値電圧を調整するためのイオンを注入した後、ゲート電極となるシリコン堆積層を化学気相法により約400nmほど堆積させる。この状態が図2(a)である。次にこのシリコン膜9をフォトリソグラフィ法とドライエッチング法によりエッチングする。この時オフセット長6を短くする方のトランジスタのみエッチングにより形状を形成し、オフセット長6を長くする方はエッチングしない(図2(b))。

【0013】次に酸化シリコン10を化学気相法により

約100nm程堆積させると図2(c)の状態となる。この堆積させた酸化シリコン10をフォトリソグラフィ法とウェットエッチング法により、オフセット長6が長いトランジスタの方のみ取り除く。この状態が図2(d)である。この後再び化学気相法により、シリコン堆積層9を約400nmほど堆積させる。図2(e)がその時の状態である。そして、フォトリソグラフィ方とドライエッチング法によりオフセットが長いトランジスタのゲート電極1を形成する。この状態が図2(f)である。この時先ほど形成された、オフセット長6が短いトランジスタのゲート電極1はシリコン酸化膜10により保護される。これはエッチング時のシリコンと酸化シリコンのエッチングレートの違いを利用した方法である。

【0014】次にゲート電極1形成後、オフセットとなる領域を形成するためイオン注入を行う。この状態が図2(g)である。注入量は低濃度不純物層4を形成するため約10の13乗個/cm程度とする。このあと化学気相法により酸化シリコン10を堆積し(図2(h))、ドライエッチ法でバックエッチしてサイドウォール3を形成する。この時サイドウォール3の長さはオフセットの短いトランジスタでは約2nm程度であるが、オフセットの長いトランジスタでは約倍程度である。この後再びイオン注入を行い、ドレインとソース領域を形成する。この時は高濃度に不純物を打ち込む。約10の15乗個/cm程度を行う。この状態が図2(i)である。

【0015】以上の方法により、オフセット長6の異なるトランジスタが一枚の基板上に形成される。

【0016】以上が、本発明の半導体装置及び製造方法である。

【0017】

【発明の効果】本発明のうち請求項3に記載の発明は、長いオフセット長のトランジスタと短いオフセット長トランジスタを同一半導体装置内に作りわけ、電流特性低下を招くことなくホットキャリアの発生を低く押さえて半導体素子の歩留まり、寿命及び信頼性を高める事ができる。

【図面の簡単な説明】

【図1】本発明の方法により作製されるオフセット長が異なるLDD構造のMOS型トランジスタの断面図である。

【図2】本発明のトランジスタを作製するための、製造工程を断面図で示してある。

【図3】従来の製造方法により作製されるLDD構造のMOS型トランジスタの断面図である。

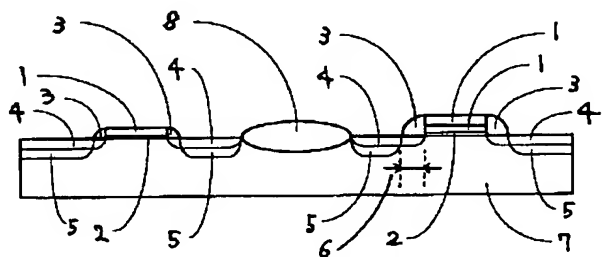
【符号の説明】

1. . . ゲート電極
2. . . ゲート酸化膜
3. . . サイドウォール
4. . . 低濃度不純物領域
5. . . 高濃度不純物領域

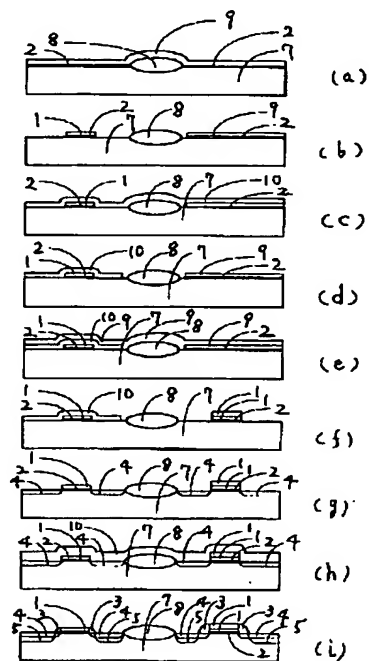
- 6. . オフセット長
- 7. . シリコン基板
- 8. . 素子分離領域

- 9. . シリコン堆積層
- 10. . 酸化シリコン堆積層

【図1】



【図2】



【図3】

